

(51) Int.Cl.	識別記号	F I	テーマコード	(参考)
H01L 29/786		H01L 29/78	616	K 2H092
21/336		21/28		E 4M104
G02F 1/1365		G02F 1/136	500	5F043
H01L 21/28		H01L 21/306		F 5F110
21/306		29/78	616	U

審査請求 未請求 請求項の数 7 O L (全9頁)

(21)出願番号 特願平11-262073
 (22)出願日 平成11年9月16日(1999.9.16)

(71)出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72)発明者 中島 まどか
 兵庫県姫路市余部区上余部50番地 株式会
 社東芝姫路工場内
 (72)発明者 向井 信夫
 兵庫県姫路市余部区上余部50番地 株式会
 社東芝姫路工場内
 (74)代理人 100059225
 弁理士 菊田 章子 (外1名)

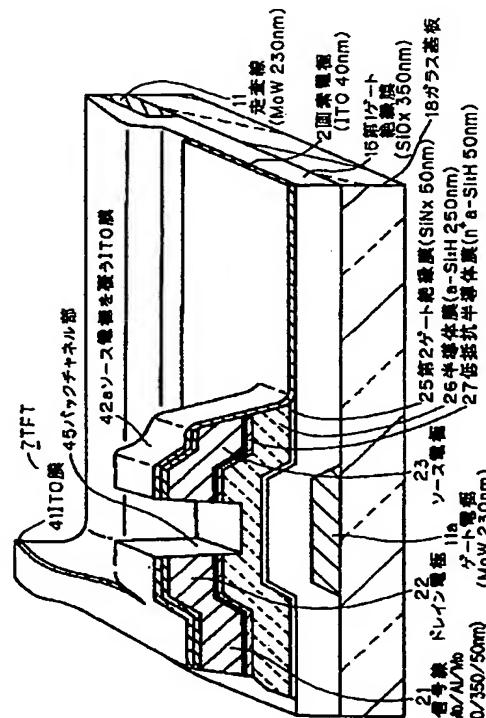
最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】 一つのマスクパターンを用いて、多層膜を一括してパターニングする工程を含む、薄膜トランジスタその他の半導体装置の製造方法において、段切れの形成、及びこれに起因する不良の発生を充分に防止することができるものを提供する。

【解決手段】三層金属膜5(Mo/AI/Mo)、及び、三層非金属膜6(n⁺a-Si:H層、a-Si:H層及び窒化シリコン膜)を、同一のレジストパターン下で、それぞれ混酸を用いるウェットエッチング、及び、SF₆とHC1との混合ガスを用いたプラズマエッチングにより一括してパターニングする。三層金属膜5を堆積する際、エッチング速度の大きいボトムのMo層を約10nmまたはそれ以下の薄層としておく。また、三層非金属膜6をエッチングするプラズマエッチングの際、SF₆/HC1の流量比を0.11~0.25の範囲内に保つことにより、n⁺a-Si:H層のアンダーカットを抑える。



【特許請求の範囲】

【請求項1】金属多層膜をウェットエッティングによりバターニングするウェットエッティング工程と、

この工程により得られた金属多層膜パターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程と、

前記ウェットエッティング工程に先立ち、第1の金属層、及び、前記ウェットエッティングを受ける速度が前記第1の金属層よりも小さい第2の金属層をこの順に堆積させ、これら第1及び第2の金属層を含む前記金属多層膜を形成する工程とを含む、薄膜トランジスタ等の半導体装置の製造方法において、

前記第1の金属層の厚さが、前記被覆膜の厚さの1/2以下であることを特徴とする半導体装置の製造方法。

【請求項2】前記第1の金属層が高融点金属層であり、前記第2の金属層が金属アルミニウム(A1)層であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記第1の金属層の厚さが2~15nmであり、前記被覆膜が厚さ20~60nmの透明導電膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記ウェットエッティング工程は、エッティング液を基板に吹き付けるシャワー方式にて行われ、オーバーエッティングの時間が、ジャストエッティングまでのエッティング時間の50~150%であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】前記金属多層膜を形成する工程に先立ち、不純物を含む第1非単結晶シリコン層、及び第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をバターニングするドライエッティング工程とを含み、

前記被覆膜が、前記金属多層膜及び前記非金属多層膜からなるパターンの端面を直接被覆するものであり、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11~0.25であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】不純物を含む第1非単結晶シリコン層及びその下方の第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、

この非金属多層膜を覆う、金属膜を堆積する工程と、前記金属膜をウェットエッティングによりバターニングするウェットエッティング工程と、

前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をバターニングするド

ライエッティング工程と、

前記金属膜及び前記非金属多層膜からなるパターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程とを含み、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11~0.25であることを特徴とする半導体装置の製造方法。

【請求項7】前記ドライエッティング工程におけるオーバーエッティングの時間が、ジャストエッティングまでのエッティング時間の約10%であることを特徴とする請求項5または6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス型液晶表示装置のスイッチング素子等として用いられる半導体装置の製造方法に関する。特には、アレイ基板上に薄膜トランジスタ(TFT)を製造する方法に関する。

【0002】

【従来の技術】近年、CRTディスプレイに代わる表示装置として、平面型の表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から注目を集めている。特には、各画素電極にスイッチ素子が電気的に接続されて成るアクティブマトリックス型液晶表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、液晶表示装置の主流となっている。

【0003】しかし、液晶表示装置の製造コストは、未だCRTディスプレイに比べてかなり高く、このことが

30 液晶表示装置をさらに普及させていく上で大きな課題となっている。

【0004】液晶表示装置の製造コストにおいてアレイ基板の製造コストの割合が高く、特には、アレイ基板上に、スイッチ素子であるTFTを製造するための工程のコストが大きな部分を占める。そのため、TFTの製造工程を簡略化しコスト低減を図ることが重要となる。

【0005】そこで、TFTの製造を、より少ない数のパターンニングにより、すなわち、より少ない数のフォトマスクにより行うことで製造プロセスを短縮し製造コストを削減しようとする試みが行われている。このように、TFTを構成するのに必要なパターンを少ない数のパターンニングによって製造するためには、複数の相異なる材料から成る多層膜を、一つのフォトマスクを用いて一括してパターンングすることが必要となる。

【0006】

【発明が解決しようとする課題】しかし、多層膜を同一のエッティングによりパターンングする際、下方の膜のエッティング速度がこれに接する上方の膜のエッティング速度より大きいといった場合には、得られるパターンの端面に凹部やオーバーハングが生じてしまうことがある。下

方の膜のサイドエッティングが上方の膜のそれより大きいために、レジストパターンの端縁から内側に引き込まれる寸法が、上方の膜よりも大きいことが原因である。

【0007】このように、得られる多層膜のパターンの端面に凹部やオーバーハングといった被覆膜による被覆が難しい部分が形成されると、この部分で被覆膜に亀裂が走る、いわゆる「段切れ」という問題が生じる。被覆膜が導電膜である場合には、段切れの個所で電気的な接続が不良となる。

【0008】「段切れ」の形成を、図6に示す例により、さらに説明する。

【0009】図6の例では、多層膜が、三層金属膜5(Mo/AI/Mo)と、三層非金属膜6(上からn⁺a-Si:H層、a-Si:H層及び窒化シリコン膜)とからなり、三層金属膜のボトムのMo層5 1の個所、及び、三層非金属膜6のトップのn⁺a-Si:H層6 1の個所で、パターンの端面に凹部8を生じている。そして、この凹部8の個所で、導電性被覆膜4 2 aが不連続となり、ソース電極2 3と、画素電極4 2との導通が不良となっている。

【0010】本発明は、上記問題点に鑑みなされたものであり、一つのフォトマスクを用いて、多層膜を一括してバーニングする工程を含む、薄膜トランジスタの製造方法において、段切れの形成、及びこれに起因する不良の発生を充分に防止することができるものを提供する。

【0011】

【課題を解決するための手段】請求項1の発明は、金属多層膜をウェットエッティングによりバーニングするウェットエッティング工程と、この工程により得られた金属多層膜パターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程と、前記ウェットエッティング工程に先立ち、第1の金属層、及び、前記ウェットエッティングを受ける速度が前記第1の金属層よりも小さい第2の金属層をこの順に堆積させ、これら第1及び第2の金属層を含む前記金属多層膜を形成する工程とを含む、薄膜トランジスタ等の半導体装置の製造方法において、前記第1の金属層の厚さが、前記被覆膜の厚さの1/2以下であることを特徴とする。

【0012】上記構成によると、多層金属膜からなるパターンの端面上における被覆膜の段切れを防止することができる。

【0013】請求項5の発明は、前記金属多層膜を形成する工程に先立ち、不純物を含む第1非単結晶シリコン層、及び第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をバ

ターニングするドライエッティング工程とを含み、前記被覆膜が、前記金属多層膜及び前記非金属多層膜からなるパターンの端面を直接被覆するものであり、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11～0.25であることを特徴とする。

【0014】上記構成によると、リンドープアモルファスシリコン層等の、不純物を含む第1非単結晶シリコン層を含む非金属多層膜と、これを覆う多層金属膜とからなるパターンの端面上における被覆膜の段切れを防止することができる。

【0015】請求項6の発明は、不純物を含む第1非単結晶シリコン層及びその下方の第2非単結晶シリコン層を含む非金属多層膜を堆積する工程と、この非金属多層膜を覆う、金属膜を堆積する工程と、前記金属膜をウェットエッティングによりバーニングするウェットエッティング工程と、前記ウェットエッティング工程に引き続き、この工程で用いたレジストパターンの下で、六フッ化硫黄(SF₆)及び塩化水素(HCl)の混合ガスを用いるプラズマエッティングにより前記非金属多層膜をバーニングするドライエッティング工程と、前記金属膜及び前記非金属多層膜からなるパターンの端面をまたぐ領域に、該端面近傍を直接被覆する、導電性または絶縁保護性の被覆膜を形成する工程とを含み、前記プラズマエッティングにおける、SF₆ガスに対するHClガスの混合体積比が0.11～0.25であることを特徴とする。

【0016】上記構成によると、リンドープアモルファスシリコン層等の、不純物を含む第1非単結晶シリコン層を含む非金属多層膜と、これを覆う金属膜とからなるパターンの端面上における被覆膜の段切れを防止することができる。

【0017】

【発明の実施の形態】まず、実施例の製造方法により得られる薄膜トランジスタ(TFT)及びこれを含む表示装置用アレイ基板について、図1～2を用いて概略を説明する。

【0018】図1は、TFT形成部及びその付近の構成を模式的に示す断面斜視図である。図2は、TFTを含む、アレイ基板上の各画素の構成を模式的に示す平面図である。

【0019】アレイ基板10には、複数の信号線21と複数の走査線11とが互いに直交するように配列される。走査線11及びゲート電極11aを含む下層の金属配線パターンは、例えばモリブデン-タンクスチタン(Mo-Ti)により形成され、全体が第1ゲート絶縁膜15により覆われる。

【0020】信号線21と走査線11とにより区画される画素開口ごとにおいて、信号線21と走査線11との交差部近傍に、スイッチング素子としてのTFT7が配置される。TFT7は、図1に示すように、逆スタガ・

バックチャネル型である。すなわち、ガラス基板18上のゲート電極11aの上方に、ゲート絶縁膜15、25及び半導体膜26を介して、谷溝状のバックチャネル部45が位置し、このバックチャネル部45を挟んで、ソース電極23及びドレイン電極22が配置される。ここで、チャネル保護膜は設けられず、半導体膜26が直接、バックチャネル部45に露出している。

【0021】より詳しく述べると、走査線11の延在部がTFT7のゲート電極11aをなしており、このゲート電極11aを覆う個所に、第1及び第2ゲート絶縁膜15、25を介して、アモルファスシリコン(a-Si:H)からなる半導体膜26が配置される。この半導体膜26の上には、バックチャネル部45の底面に相当する個所を除き、リンドープアモルファスシリコン(n⁺a-Si:H)からなる低抵抗半導体膜27が積層配置される。さらにこの上には、金属アルミニウム(Al)層を上下の金属モリブデン(Mo)層で挟み込んだ三層金属膜5から成る、ソース電極23及びドレイン電極22が配置される。

【0022】三層金属膜5にあって下方のMo層51(ボトムMo層)は、画素電極42をなすITO(Indium Tin Oxide)膜に比べてかなり薄く形成される。下方のMo層51の厚さは、画素電極42のITO膜の厚さの1/2以下であり、好ましくは1/3以下、より好ましくは1/4以下である。

【0023】画素電極42をなすITO膜の厚さが約40nmである場合、下方のMo層51の厚さは1~15μm、好ましくは1~12μm、より好ましくは2~10μmである。ITO膜の厚さは、典型的には20~60nmであり、このとき、下方のMo層51の厚さは、好ましくは2~15nmである。

【0024】これに対して、A1層52は、信号線21に充分な導電性を付与すべく充分に厚く形成される。A1層52の厚さは、例えば、200~500nmである。

【0025】一方、図中に示されるように、第2ゲート絶縁膜25、半導体膜26、低抵抗半導体膜27、及び、三層金属膜5から成るソース電極23、ドレイン電極22は、バックチャネル部45以外において、輪郭が略一致している。また、ドレイン電極22に連続する信号線21も、ソース電極23及びドレイン電極22と同様、三層金属膜5からなり、下方には輪郭の略一致する、三層の非金属膜61、62、63が存在する。これら非金属膜61、62、63は、それぞれ、TFTの第2ゲート絶縁膜25、半導体膜26、及び低抵抗半導体膜27をなす膜である。

【0026】すなわち、これら信号線21、ドレイン電極22及びソース電極23は、三層金属膜5と、三層非金属膜6が、一つのレジストパターン(エッチングマスク)の下で、一括してバーニングされて形成される。

【0027】以下に、実施例に係る、三層金属膜5及び三層非金属膜6についてのバーニングについて説明する。

【0028】まず、三層金属膜5のエッティングは、リン酸、酢酸及び硝酸、及び水からなる混酸を用いたウェットエッティングにより行われる。好ましい混酸の組成は、例えば、下記の酸水溶液を下記の範囲で混合したならば、または、さらに適量の水を添加したならば得られるものである。

【0029】

8.5%リン酸水溶液 71±20容量% (v/v%)

7.0%硝酸水溶液 1~20容量%

9.0%酢酸水溶液 5~30容量%

ウェットエッティングは、ボトムMo層のサイドエッティング(アンダーカット)を少なくすべく、シャワー方式により行う。ウェットエッティングにおけるオーバーエッティングの時間は、ジャストエッティングまでの時間を基準として、すなわちほぼレジストパターンに沿った形にまでエッティングされるまでのエッティング時間を基準として、

5.0~15.0%、好ましくは7.0~13.0%、より好ましくは9.0~11.0%である。

【0030】三層金属膜5のエッティングに引き続いて、三層非金属膜6のエッティングが、六フッ化硫黄(SF₆)及び塩化水素(HCl)からなる混合ガスを用いてプラズマエッティングにより行われる。

【0031】詳しくは、第2ゲート絶縁膜25をなす窒化シリコン(SiONx)膜61、TFTの半導体膜26をなすアモルファスシリコン(n⁺a-Si:H)層62、及びTFTの低抵抗半導体膜27をなすリンドープアモルファスシリコン(a-Si:H)層63についてのエッティングが、六フッ化硫黄(SF₆)及び塩化水素(HCl)を反応性ガス種とし、ヘリウム(He)を沈着物(デポ)防止用のキャリアガスとしたプラズマエッティングにより行われる。

【0032】SF₆ガスに対するHClガスの流量比、すなわち、ガス混合の体積比は、好ましくは0.11~0.25であり、より好ましくは0.15~0.21である。反応性ガス種の混合比をこのような範囲に保つことにより、n⁺a-Si:H層62が受けるサイドエッティングと、a-Si:H層63及び窒化シリコン膜61が受けるサイドエッティングとの差を最小限に抑えることができる。すなわち、得られるパターンの端面に、n⁺a-Si:H層62のところでアンダーカットが入り、凹部やオーバーハングが形成されることを充分に防止することができる。

【0033】このプラズマエッティングの際には、エンドポイントモニター(End point Monitor)を使用して約10%のオーバーエッティングを行う。すなわち、レジストパターンの輪郭までエッティングされるジャストエッティングの時間を基準として、約10%だけエッティング時間を伸ばす。これにより、残留した不所望の膜を充分に除去

できるとともに、過度のサイドエッチングが生じるのを防止することができる。

【0034】エンドポイントモニターは反射光量または透過光量の変化を捕らえて、基板の下地（この場合、第1ゲート絶縁膜15）が露出した時点を検出するものである。

【0035】次に、実施例に係る薄膜トランジスタ及びアレイ基板の製造方法についての、より詳細な例について図3～5を用いて説明する。

【0036】(1) 第1のパターニング

ガラス基板18上に、スパッタ法によりモリブデン-タンゲステン合金膜(MoW膜)を230nm堆積させる。そして、第1のマスクパターンを用いるパターニングにより、600本の走査線11、その延在部からなるゲート電極11a、及び、走査線11と略同数の補助容量線12を形成する（図2、及び図5中央部を参照）。同時に、アレイ基板10の接続用周縁部10aに走査線接続パッド11bを形成する（図2、及び図5の右部参照）。

【0037】(2) 第2のパターニング

(2-1) 第1ゲート絶縁膜及び多層膜の堆積
CVD法により、第1ゲート絶縁膜15をなす350nm厚の酸化シリコン膜を堆積し、さらに、第2ゲート絶縁膜25をなす50nm厚の窒化シリコン膜63、TFT7の半導体膜26を作成するための250nm厚のアモルファスシリコン(a-Si:H)層62、及び、低抵抗半導体膜27を作成するための50nm厚のリンドープアモルファスシリコン(n+a-Si:H)層61を、大気に曝すことなく連続して成膜する。

【0038】この後、スパッタ法により、10nm厚のMo層51、350nm厚のAl層52、及び、50nm厚のMo層53からなる三層金属膜5を堆積する。

【0039】(2-2) 多層膜のパターニング

そして、第2のマスクパターンを用いて、レジストを露光、現像した後、上記の窒化シリコン膜、a-Si:H層、n+a-Si:H層、及び三層金属膜5を一括してパターニングする。この第2のパターニングにより、800×3本の信号線21と、各信号線21から延在するドレイン電極22と、未だドレイン電極22に連続したままのソース電極23とを作成する（図5の左下部参照）。また、図には示さないが、アレイ基板10の周縁接続領域においては、信号線21から引き出された信号線パッド（信号線21からの引き出し線を含む）が同時に作成される。

【0040】(2-2-a) 第1のエッチング（三層金属膜5に対するエッチング）

まず、三層金属膜5について、硝酸、リン酸、及び酢酸からなる含水混酸によりエッチングを行った（図3）。

【0041】含水混酸としては、85%リン酸水溶液、70%硝酸水溶液、90%酢酸水溶液及び水を、77/50

3/15/5の体積比で混合したものを用いた。また、三層金属膜5のバターニングのためには、基板上にこのようなエッチング液を吹き付ける操作を、二つのエッチング室にてそれぞれ60秒間ずつ、連続して行った。すなわち、シャワー方式によるウェットエッチングを都合120秒間行った。

【0042】(2-2-b) 第2のエッチング（三層非金属膜に対するエッチング）

次に、窒化シリコン膜、a-Si:H層、n+a-Si:H層について、SF₆、HCl、及びHeの混合ガスを用いるプラズマエッチングによりバターニングした（図4）。

【0043】エッチングチャンバーに導入する混合ガスは、流量75SCCMのSF₆、流量425SCCMのHCl、及び流量300SCCMのHeを混合したものである。すなわち、導入ガスの混合体積比は、SF₆/HCl/He=75/425/300、HCl/SF₆=約0.18である。

【0044】プラズマエッチングの際、エッチングチャンバー内の圧力を26.7Pa、高周波入力電力（パワー）を400W、電極間の間隔（ギャップ）を40mmに保った。また、エンドポイントモニターを使用し、ジャストエッチングまでの時間の10%の時間だけオーバーエッチングを行った。

【0045】(3) 第3のパターニング

第3のマスクパターンを用いて、走査線パッド部11bの上面を露出させるスルーホール31を作成する（図5右部参照）。この際、バッファードフッ酸(BHF)を用いるウェットエッチングにより、走査線パッド部11b上の第1ゲート絶縁膜15を除去する。

【0046】(4) 第4のパターニング

スパッタ法により40nm厚のアモルファスのITO層を堆積する。

【0047】第4のマスクパターンを用いるパターニング（図5）により、まず、信号線21及びドレイン電極22の輪郭と略一致する保護ITO膜41と、画素電極42及びその延在部42aとを作成する。画素電極からの延在部42aは、ソース電極23、及びその画素電極側の端面を被覆することにより、ソース電極23と画素電極42との間の導通を行う。

【0048】このパターニングの際、アレイ基板10の周縁接続領域においては、各走査線パッド11bを覆うパッド部ITO膜43（図5右部）と、各信号線パッドをそれぞれ覆うパッド部ITO膜とが形成される。

【0049】次いで、ITO膜41、42、42a、43をマスクとして、TFTのバックチャネル部45を形成するためのエッチングを行う。すなわち、ドレイン電極22とソース電極23とを分離してTFT7を完成するように、溝状に、三層金属膜5(Mo/Al/Mo)及びn+a-Si:H層を除去する。

【0050】この際、三層金属膜5 (Mo/Al/Mo)は、上記第2のバーニングと同様、リン酸、酢酸及び硝酸からなる混酸を用いたウェットエッティングにより除去する。一方、 $n^+ a\text{-Si:H}$ 層6 1は、SF₆、及び酸素(O₂)からなる混合ガスを用いて除去する。

【0051】レジストの除去の後、加熱によるアニールを施し、ITO膜をアモルファス状態から微結晶状態に変換する。このアニールにより、同時に、TFT特性が安定化される。

【0052】以上に説明した実施例の製造方法によれば、4回のみのバーニングにより、表示装置用アレイ基板を製造することができる。特には、三層金属膜5及び三層非金属膜6を一括してバーニングする際に、得られるパターンの端面における凹部やオーバーハングの形成を充分に防止することができる。そのため、ソース電極2 3のパターンを覆うITO膜4 2 aが該端面を覆う個所で段切れを起こすことがなく、ソース電極2 3と画素電極4 2との電気的な接続が確実に行われる。

【0053】上記実施例においては、低抵抗の金属アルミニウム(Al)層を上下の金属モリブデン(Mo)層で挟み込む構成としたが、金属モリブデン(Mo)層に代えて他の高融点金属層を用いることもできる。この際、金属アルミニウム層の下方に配置する高融点金属層は、リンドープアモルファスシリコン($n^+ a\text{-Si:H}$)層等の半導体層に対する良好なオーミックコンタクトが得られるものであれば良い。

【0054】また、画素電極等を構成する透明導電膜として、ITO膜に代えてIZO(Indium Zinc Oxide)等を用いてもほぼ同様である。

【0055】さらに、上記実施例においては、半導体の活性層及びオーミックコンタクト層がそれぞれアモルファスシリコン層及びリンドープアモルファスシリコン層であるとして説明したが、半導体の活性層が多結晶シリコン層であっても良く、オーミックコンタクト層は、他の不純物を含むアモルファスシリコン層や、リンその他の不純物を含む多結晶シリコン層であっても良い。

【0056】一方、上記実施例においては、得られるパターンの端面が導電膜により被覆される場合について説明したが、絶縁保護膜により被覆される場合についても全く同様である。

【0057】また、液晶表示装置用アレイ基板の場合を例にとり説明したが、他の用途に用いられる薄膜トランジスタの製造であっても同様の方法により行うことができる。さらには、本発明の製造方法を、薄膜トランジスタ以外の半導体装置についても適用することが可能である。

【0058】

【発明の効果】一つのマスクパターンを用いて、多層膜を一括してバーニングする工程を含む、薄膜トランジスタの製造方法において、段切れの形成、及びこれに起因する不良の発生を充分に防止することができる。

【図面の簡単な説明】

【図1】実施例に係る、アレイ基板上のTFT形成部及びその付近の構成を模式的に示す断面斜視図である。

【図2】実施例に係る、アレイ基板上のアレイ基板上の各画素の構成を模式的に示す平面図である。

【図3】第1のエッティングの後、すなわち、三層金属膜(Mo/Al/Mo)をエッティングした後の様子を示す模式的な縦断面図である。

【図4】第2のエッティングの後、すなわち、三層非金属膜($n^+ a\text{-Si:H}$ 層、 $a\text{-Si:H}$ 層及び窒化シリコン膜)をエッティングした後の様子を示す、図3に対応する模式的な縦断面図である。

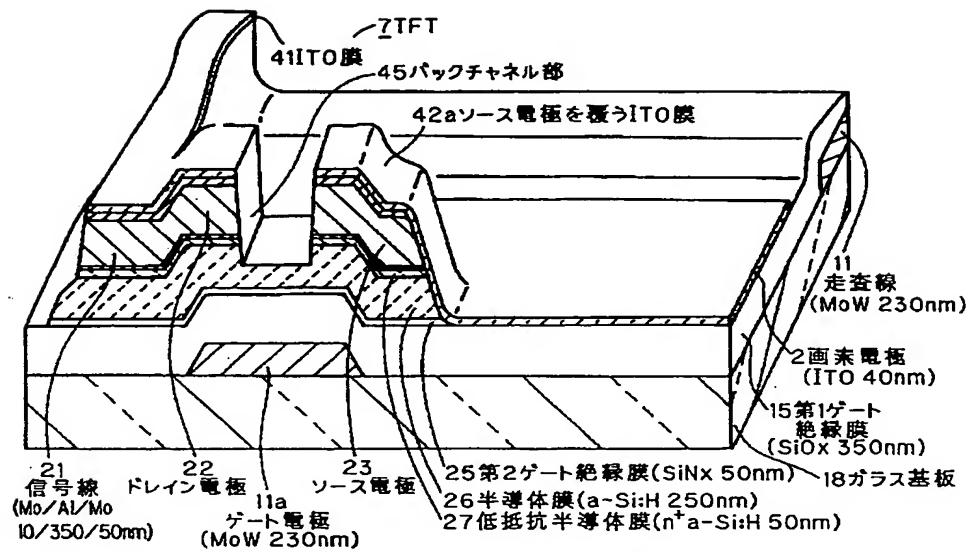
【図5】アレイ基板の完成時の様子を示す、図3に対応する模式的な縦断面図である。

【図6】従来の技術により生ずる「段切れ」について説明するための、アレイ基板上の薄膜トランジスタについての縦断面図である。

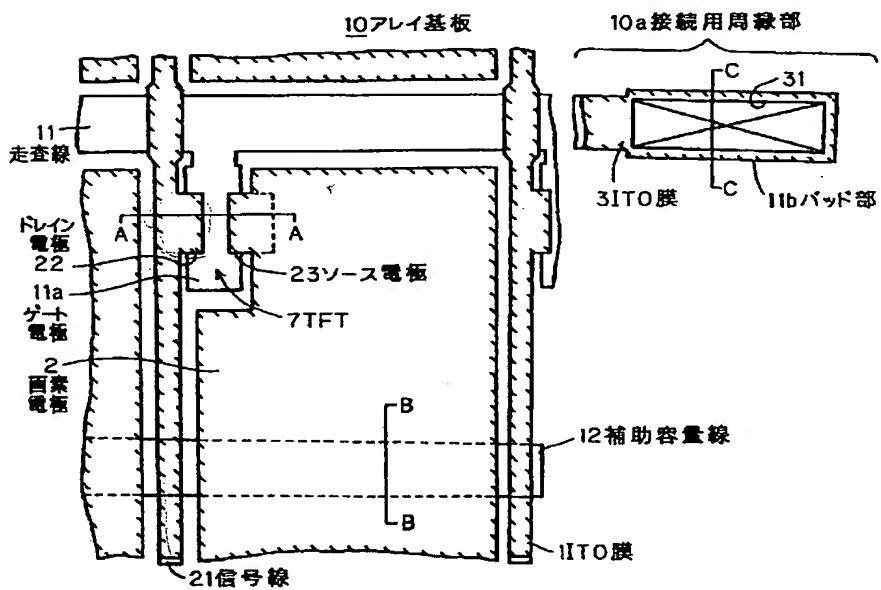
【符号の説明】

- 10 アレイ基板
- 11 走査線
- 11a 走査線から延在されたゲート電極
- 11b 走査線外周部のパッド部
- 12 補助容量線
- 21 信号線
- 30 22 信号線から延在されたドレイン電極
- 23 ソース電極
- 15 第1ゲート絶縁膜
- 25 第2ゲート絶縁膜
- 26 TFTの半導体膜
- 27 低抵抗半導体膜
- 41 信号線と輪郭が略一致する保護ITO膜
- 42 画素電極
- 42a 画素電極から延在してソース電極のパターンを覆うITO膜
- 40 43 パッド用ITO膜
- 45 TFTのバックチャネル部
- 5 三層金属膜(Mo/Al/Mo)
- 6 三層非金属膜($n^+ a\text{-Si:H}$ 層、 $a\text{-Si:H}$ 層及び窒化シリコン膜)
- 7 TFT

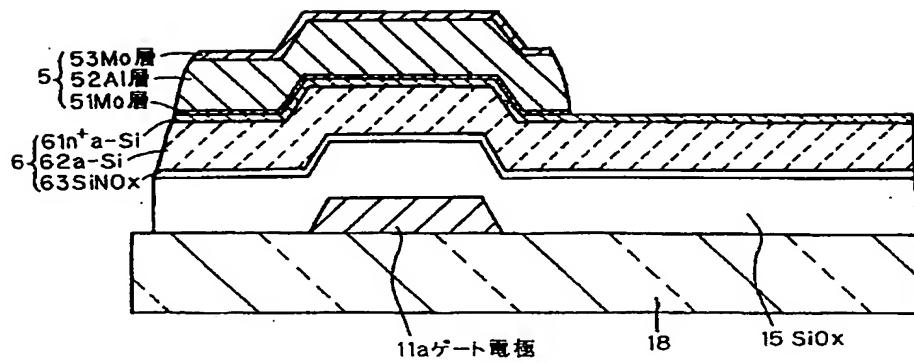
【図1】



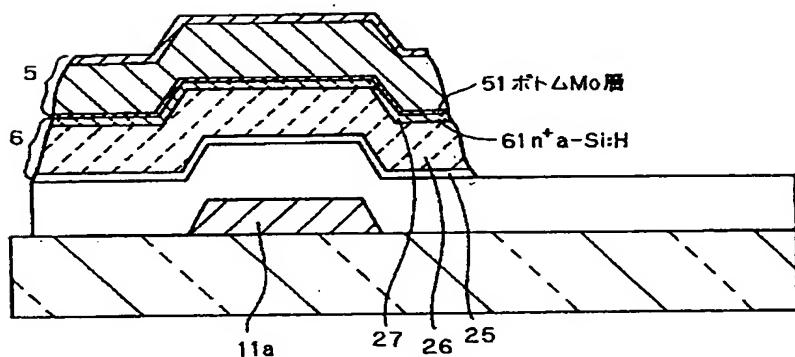
【図2】



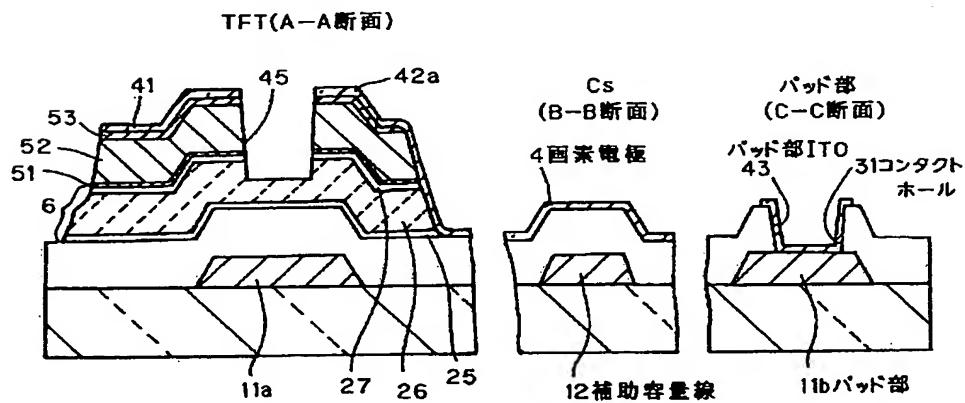
【図3】



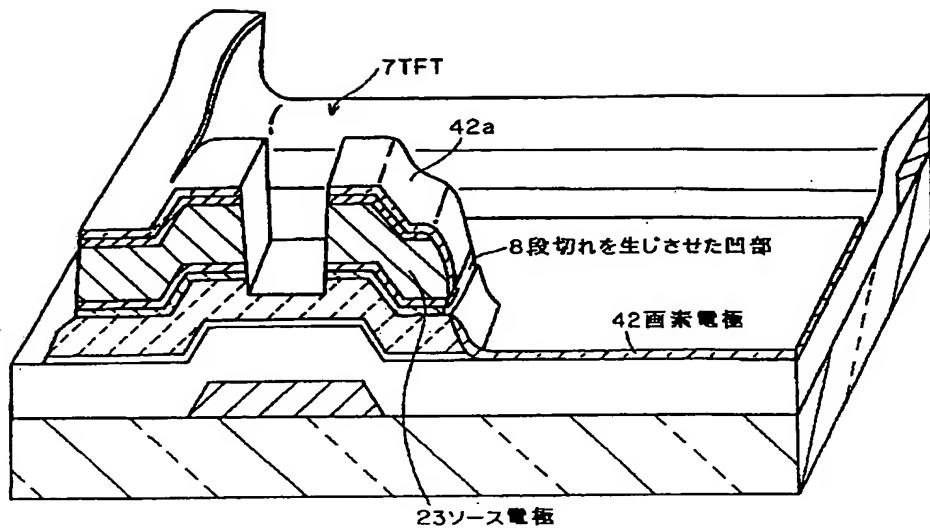
【図4】



【図5】



【図6】



フロントページの続き

F ターム(参考) 2H092 HA28 IA24 KA04 MA18 MA19
 NA16 NA29
 4M104 AA09 BB02 BB16 BB18 BB36
 CC01 DD09 DD37 GG09 GG14
 5F043 AA11 AA20 AA24 AA26 AA27
 AA35 BB16 DD13 DD15 DD25
 EE07 FF01 GG04 GG10
 5F110 BB01 CC07 DD02 EE06 EE44
 FF02 FF03 FF09 FF29 GG02
 GG13 GG14 GG15 GG24 GG44
 HK03 HK04 HK07 HK09 HK14
 HK16 HK22 HK25 HK33 HM18
 NN73 QQ05 QQ09

JP2001-85698

(19) Japanese Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin

(11) Patent Application Laid-Open Disclosure No.: 2001-85698

(43) Publication Date: March 30, 2001

(51) Int. Cl. ⁷		FI I					
H01L	29/786	H01L	29/78	616	K	2H092	
	21/336		21/28		E	4M104	
G02F	1/1365	G02F	1/136	500		5F043	
H01L	21/28	H01L	21/306		F	5F110	
	21/306		29/78	616	U		

Request for Examination: Not made

Number of Claims: 7 OL (9 Pages in Total)

(21) Patent Application No.: Hei 11-262073

(22) Patent Application Date: September 16, 1999

(71) Applicant: 000003078

Toshiba Corp.

72, Horikawa-chou, Saiwai-ku, Kawasaki-shi, Kanagawa-ken

(72) Inventor: Madoka Nakajima

50, Kamiyobe, Yobe-ku, Himeji-shi, Hyogo-ken

c/o Toshiba Himeji factory Sony Inc.

(72) Inventor: Nobuo Mukai

50, Kamiyobe, Yobe-ku, Himeji-shi, Hyogo-ken

c/o Toshiba Himeji factory Sony Inc.

(74) Agent: 100059225

Attorney Shouko Tsutada

(54) [Title of the Invention]

Method for manufacturing semiconductor device

(57) [Abstract]

[Problem]

The present invention provides a method for manufacturing a thin film transistor including a step for carrying out patterning at once on a multilayer film using one mask pattern, which can prevent enough the formation of a disconnection and generation of a defect due to thereof.

[Means for Solving]

Patternning is carried out at once on a three-layered metal film 5 (Mo/Al/Mo) and a three-layered non-metallic film 6 (n^+ a-Si: H layer, a-Si: H layer, and silicon nitride film) by wet etching and by plasma etching using mixed gas with SF₆ and HCl under a same resist pattern each of which uses mixed acid. In depositing the three-layered metal film 5, a bottom Mo layer with a large etching rate is arranged for 10 nm or less to be a thin layer. In addition, in carrying out plasma etching that etches the three-layered non-metallic film 6, a flow ratio of SF₆:HCl is kept within a range of 0.11 to 0.25 to control undercut of the n^+ a-Si: H layer.

[Scope of Claim]

[Claim 1]

A method for manufacturing a semiconductor device such as a thin film transistor comprising the steps of:

carrying out wet etching that pattern a metal multilayer film by wet etching;

forming a coating film in conductivity or insulating protectiveness to coat directly the adjacent end is coated in a region where straddling the end of a metal multilayer film pattern obtained by the step; and

forming the metal multilayer film including a first and a second metal layers by depositing in the order of the first metal layer prior to the step for the wet etching and the second metal layer that the wet etching rate is lower than that of the first metal layer;

wherein a thickness of the first metal layer is at most a half of a thickness of the coating film.

[Claim 2]

A method for manufacturing a semiconductor device according to Claim 1, wherein the first metal layer is a high melting point metal layer and the second metal layer is a metal aluminum (Al) layer.

[Claim 3]

A method for manufacturing a semiconductor device according to Claim 1, wherein the first metal layer has a thickness of from 2 to 15 nm and the coating film is a transparent conductive film with a thickness of from 20 to 60 nm.

[Claim 4]

A method for manufacturing a semiconductor device according to Claim 2, wherein the

step for the wet etching is carried out by a shower system that sprays etchant on a substrate and a time for an over etching is 50 to 150 % of etching time till a just etching is carried out.

[Claim 5]

A method for manufacturing a semiconductor device according to Claim 2 comprising the steps of:

depositing a non-metallic multilayer film including a first non-single crystal silicon layer containing an impurity and a second non-single crystal silicon layer, prior to a step for forming the metal multilayer film; and

carrying out dry etching that pattern the non-metallic multilayer film by plasma etching using mixed gas of sulfur hexafluoride (SF_6) and hydrogen chloride (HCl) under a resist pattern that is used in the step, following to the step for forming the metal multilayer film;

wherein the coating film directly coats an end of a pattern composed of the metal multilayer film and the non-metallic multilayer film, and a mixed volume ratio of HCl gas with respect to the sulfur hexafluoride (SF_6) in the plasma etching is from 0.11 to 0.25.

[Claim 6]

A method for manufacturing a semiconductor device comprising the steps of:

depositing a non-metallic multilayer film including a first non-single crystal silicon layer containing an impurity and a second non-single crystal silicon underneath;

depositing a metal film that coats the non-metallic multilayer film;

carrying out wet etching that pattern the metal film by carrying out the wet etching;

carrying out dry etching that pattern the non-metallic multilayer film by plasma etching using mixed gas of sulfur hexafluoride (SF_6) and hydrogen chloride (HCl) under a resist pattern that is used in the step, following to the step for forming the metal multilayer film; and

forming a coating film in conductivity or insulating protectiveness to cover directly the adjacent end is coated in a region where straddling the end of a pattern composed of the metal film and the non-metallic multilayer film;

wherein a mixed volume ratio of HCl gas with respect to the sulfur hexafluoride (SF_6) in the plasma etching is from 0.11 to 0.25.

[Claim 7]

A method for manufacturing a semiconductor device according to Claim 5 or 6, wherein time for over etching in the step for the dry etching is about 10 % of etching time till just etching is carried out.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to a method for manufacturing a semiconductor device

used as a switching element and the like of an active matrix type liquid crystal display device. More specifically, the present invention relates to a method for manufacturing a thin film transistor (TFT) over an array substrate.

[0002]

[Prior Art]

Recently, a flat display device has been actively developed as a display device alternative to CRT display. Among them, a liquid crystal display device has been drawn attention from the advantage of lightweight, flat-panel, low-power consumption, and the like. Especially, an active matrix type liquid crystal display device that is manufactured by electrically connecting a switching element to each pixel electrode is a mainstream of a liquid crystal display device since a good display image that does not have a cross talk between an adjacent pixels can be realized.

[0003]

However, the manufacturing cost of a liquid crystal display device is still extremely high compared to that of a CRT display, which is a big problem in diffusing further a liquid crystal display device.

[0004]

A proportion of manufacturing cost of an array substrate is high in the manufacturing cost of a liquid crystal display device, and especially cost of a step for manufacturing a TFT that is a switching element on an array substrate is made up a substantial portion. Therefore, it is important to simplify a step for manufacturing a TFT and to try to decrease the cost.

[0005]

Accordingly, it is tried to shorten a manufacturing process and to reduce the manufacturing cost by manufacturing a TFT with much fewer numbers of patterning, that is, with much fewer numbers of photomask. Thus, it is necessary to carry out patterning at once on a multilayer film composed of a plurality of different materials using one photomask in order to manufacture a necessary pattern to compose a TFT with few patterning.

[0006]

[Problem to be Solved by the Invention]

However, when an etching rate of a lower film is larger than that of an upper film in patterning a multilayer film by one etching, sometimes a depression and an overhang may be generated at the end of the pattern that is obtained. Side etching of the lower film is larger than that of the upper film, which is due to a dimension that is drawn into the inside from the edge is larger than that of the upper film.

[0007]

As a part where coating by a coating film such as a depression and an overhang is

difficult is formed in the end of the pattern of the multilayer film that is obtained, there is a problem that the coating film is cracked that is so called “disconnection” is occurred at this part. When a coating film is a conductive film, an electrical connection in the disconnection part is defected.

[0008]

The formation of the “disconnection” is described further by an example shown in Figure 6.

[0009]

In the example of Figure 6, a multilayer film is composed of a three-layered metal film 5 (Mo/Al/Mo) and a three-layered non-metallic film 6 (n^+ a-Si: H layer, a-Si: H layer and silicon nitride film from the above), and a depression 8 is formed in the end of the pattern at the part of a bottom Mo layer 51 of the three-layered metal film and at the part of a n^+ a-Si: H layer 61. Then, a conductive coating film 42a is in a discontinuous manner in the depressions, and a continuity between a source electrode 23 and a pixel electrode 42 is defected.

[0010]

The present invention has been made in view of the above problem, and provides the one that can prevent enough the formation of the disconnection and the generation of the poor due to thereof in a method for manufacturing a thin film transistor including a step for carrying out patterning at once on a multilayer film using one photomask.

[0011]

[Means for Solving the Problem]

The present invention according to Claim 1 is a method for manufacturing a semiconductor device such as a thin film transistor comprising the steps of: carrying out wet etching that pattern a metal multilayer film by wet etching; forming a coating film in conductivity or insulating protectiveness to coat directly the adjacent end is to coat in a region where straddling the end of a metal multilayer film pattern obtained by the step; and forming the metal multilayer film including a first and a second metal layers by depositing in the order of the first metal layer prior to the step for the wet etching and the second metal layer that the wet etching rate is lower than that of the first metal layer; wherein a thickness of the first metal layer is at most a half of a thickness of the coating film.

[0012]

According to the above constitution, it can prevent a coating film over the end of a pattern composed of a multilayer metal film from being disconnected.

[0013]

The present invention according to Claim 5 is a method for manufacturing a

semiconductor device according to Claim 2 comprising the steps of: depositing a non-metallic multilayer film including a first non-single crystal silicon layer containing an impurity and a second non-single crystal silicon layer, prior to a step for forming the metal multilayer film; and carrying out dry etching that pattern the non-metallic multilayer film by plasma etching using mixed gas of sulfur hexafluoride (SF_6) and hydrogen chloride (HCl) under a resist pattern that is used in the step, following to the step for forming the metal multilayer film; wherein the coating film directly coats an end of a pattern composed of the metal multilayer film and the non-metallic multilayer film, and a mixed volume ratio of HCl gas with respect to the sulfur hexafluoride (SF_6) in the plasma etching is from 0.11 to 0.25.

[0014]

According to the above constitution, a disconnection of the coating film can be prevented in the edge of the pattern composed of the non-metallic multilayer including the first non-single crystal silicon layer containing an impurity such as a phosphorus dope amorphous silicon layer, and a multilayer metal film coating thereof.

[0015]

The present invention according to Claim 6 is a method for manufacturing a semiconductor device comprising the steps of: depositing a non-metallic multilayer film including a first non-single crystal silicon layer containing an impurity and a second non-single crystal silicon underneath; depositing a metal film that coats the non-metallic multilayer film; carrying out wet etching that pattern the metal film by carrying out the wet etching; carrying out dry etching that patterning the non-metallic multilayer film by plasma etching using mixed gas of sulfur hexafluoride (SF_6) and hydrogen chloride (HCl) under a resist pattern that is used in the step, following to the step for forming the metal multilayer film; and forming a coating film in conductivity or insulating protectiveness to coat directly the adjacent end is to be coated in a region where straddling the end of a pattern composed of the metal film and the non-metallic multilayer film; wherein a mixed volume ratio of HCl gas with respect to the sulfur hexafluoride (SF_6) in the plasma etching is from 0.11 to 0.25.

[0016]

According to the above constitution, a disconnection of the coating film can be prevented in the edge of the pattern composed of the non-metallic multilayer film including the first non-single crystal silicon layer containing an impurity such as a phosphorus dope amorphous silicon layer, and a metal film coating thereof.

[0017]

[Embodiment Modes of the Invention]

First, the schematic of a thin film transistor (TFT) obtained by a method for manufacturing an embodiment and an array substrate for a display device containing thereof

is described with reference to Figure 1 to 2.

[0018]

Figure 1 is a sectional perspective view typically showing a TFT formed part and an adjacent structure thereof. Figure 2 is a plan view typically showing a structure of each pixel over an array substrate including a TFT.

[0019]

A plurality of signal lines 21 and a plurality of scanning lines 11 are disposed in an array substrate 10 so as to be an orthogonal array with each other. A metal wiring pattern of a lower layer including the scanning lines 11 and a gate electrode 11a is formed of molybdenum-tungsten (Mo-W) for example, and entirely coated with a first gate insulating film 15.

[0020]

In each pixel opening divided into the signal lines 21 and the scanning lines 11, a TFT 7 as a switching element is disposed adjacent to a portion where the signal lines 21 and the scanning lines 11 are crossed. As shown in Figure 1, the TFT 7 is an inverted staggered back channel type. That is, gate insulating films 15, 25, and a semiconductor film 26 are interposed in the upper of the gate electrode 11a on a glass substrate 18 and a back channel portion 45 in valley and groove shape is disposed therebetween, and the source electrode 23 and a drain electrode 22 are disposed by sandwiching the back channel portion 45. Here, a channel protection film is not provided, but the semiconductor film 26 is exposed to the back channel portion 45.

[0021]

As describing in more detail, an extending portion of the scanning lines 11 serves as the gate electrode 11a of the TFT 7, and the first and the second gate insulating films 15, 25 are interposed at the place where the gate electrode is covered to dispose the semiconductor film 26 composed of an amorphous silicon (a-Si: H). A low resistivity semiconductor film 27 composed of a phosphorus dope amorphous silicon (n^+ a-Si: H) is laminated and disposed on the semiconductor film 26, besides a place corresponding to the base of the back channel portion 45. Furthermore, over the low resistivity semiconductor film 27, the source electrode 23 and the drain electrode 22 are disposed, which is composed of the three-layered metal film 5 where a metal aluminum (Al) layer is sandwiched between the upper and the lower metal molybdenum (Mo) layers.

[0022]

The bottom Mo layer 51 (bottom Mo layer) also in the three-layered metal film is formed extremely thin compared with an ITO (Indium Tin Oxide) film that forms the pixel electrode 42. The thickness of the lower Mo layer is at most 1/2 of a thickness of the ITO

film of the pixel electrode 42, preferably at most 1/3, and more preferably at most 4/1.

[0023]

When a thickness of the ITO film that forms the pixel electrode 42 is about 40 nm, the thickness of the lower Mo layer 51 is from 1 to 15 μm , preferably from 1 to 12 μm , and more preferably from 2 to 10 μm . A thickness of the ITO film is typically from 20 to 60 nm, and in this case, the thickness of the bottom Mo layer 51 is preferably from 2 to 15 nm.

[0024]

With respect to this, an Al layer 52 is formed thick enough to give a enough conductivity for the signal lines 21. The thickness of the Al layer 52 is, for example, from 200 to 500 nm.

[0025]

On the other hand, as shown in the drawing, the source electrode 23 and the drain electrode 22 which are composed of the second gate insulating film 25, the semiconductor film 26, the low resistivity semiconductor film 27, and the three-layered metal film 5 almost correspond to outline. In addition, the signal lines 21 following the drain electrode 22 is also composed of the three-layered metal film 5 as well as the source electrode 23 and the drain electrode 22, and there is three-layered non-metallic films 61, 62, and 63 below which almost correspond to outline. The non-metallic films 61, 62, and 63 are the films that respectively serves as the second gate insulating film 25, the semiconductor film 26, and the low resistivity semiconductor film 27 of the TFT.

[0026]

Specifically, the signal lines 21, the drain electrode 22, and the source electrode 23 are formed by carrying out patterning at once on the three-layered metal film 5 and the three-layered non-metallic film 6 under one resist pattern (etching mask).

[0027]

Patterning regarding the three-layered metal film 5 and the three-layered non-metallic film 6 on the present embodiment is described below.

[0028]

First, etching of the three-layered metal film 5 is carried out by wet etching using mixed acid composed of phosphoric acid, acetic acid and nitric acid, and water. A preferable composition ratio of mixed acid can be obtained, for example, as following acid solution is mixed within the following range or further as adequate water is added.

[0029]

85 %	phosphoric acid solution	71 plus or minus 20 % by volume (v/v %)
70 %	nitric acid	1 to 20 % by volume
90 %	acetic acid	5 to 30 % by volume

Wet etching is carried out by shower system so as to make less of side etching (undercut) of the bottom Mo layer. Time for over etching in the wet etching is based on time till just etching, that is, etching time till etched up to a shape almost along the resist pattern, from 50 to 150 %, preferably from 70 to 130 %, and more preferably from 90 to 110 %.

[0030]

Following to the etching of the three-layered metal film 5, etching of the three-layered non-metallic film 6 is carried out by plasma etching using mixed gas composed of sulfur hexafluoride (SF_6) and hydrogen chloride (HCl).

[0031]

In detail, etching as for a silicon nitride ($SiON_x$) film 61 that serves as the second insulating film 25, the amorphous silicon ($n^+ a-Si: H$) layer 62 that serves as the semiconductor film 26 of the TFT, and the phosphorus dope amorphous silicon ($a-Si: H$) layer 63 that serves as the low resistivity semiconductor film 27 of the TFT is carried out by plasma etching in which sulfur hexafluoride (SF_6) and hydrogen chloride (HCl) serve as reactivity gas species and helium (He) serves as carrier gas for preventing from being deposited.

[0032]

A gas flow ratio of HCl gas with respect to SF_6 gas, that is, a volume ratio of gas mixture is preferably from 0.11 to 0.25 and more preferably from 0.15 to 0.21. By keeping a mixture ratio of reactivity gas in such a range, difference between side etching that the $n^+ a-Si: H$ layer 62 [sic] is carried out and side etching that the $a-Si: H$ layer 63 [sic] and the silicon nitride film 61 [sic] are carried out can be controlled in minimum. Specifically, undercut is formed at the place of the $n^+ a-Si: H$ layer 62 in the end of the pattern that is obtained; therefore, the formation of a depression and an overhang can be prevented enough.

[0033]

In carrying out the plasma etching, over etching of about 1 % is carried out by using an End Point Monitor. That is, etching time is extended for only about 10 % based on just etching time that the outline of a resist pattern is etched also. Accordingly, as well as an undesirable film that is remained can be removed enough, the generation of excessive side etching can be prevented.

[0034]

The End Point Monitor catches a transformation of amount of reflecting light or amount of transmitted light to detect the point when a base substrate (in this case, the first gate insulating film 15) is being exposed.

[0035]

Next, a more detailed example regarding a method for manufacturing a thin film transistor and an array substrate on the present embodiment is described using Figure 3 to 5.

[0036]

(1) First patterning

A molybdenum-tungsten alloy film (MoW film) is deposited for 230 nm over the glass substrate 18 by sputtering. Then, the 600 scanning lines 11, the gate electrode 11a composed of extended portion thereof, and a supporting capacitance lines 12 as nearly same number as the scanning lines 11 are formed (Figure 2 and a central part within Figure 5 are to be referred) by patterning using a first mask pattern. At the same time, a scanning lines connecting pad 11b is formed in a periphery portion for connection 10a of the array substrate 10 (Figure 2 and right-hand side of Figure 5 are to be referred).

[0037]

(2) Second patterning

(2-1) Deposition of the first insulating film and a multilayer film

A silicon oxide film with a thickness of 350 nm that serves as the first gate insulating film 15 is deposited by CVD, and furthermore, the silicon nitride film 63 [sic] with a thickness of 50 nm that serves as the second gate insulating film 25, the amorphous silicon (a-Si: H) layer 62 for forming the semiconductor film 26 of the TFT 7, and the phosphorus dope amorphous silicon (n^+ a-Si: H) layer 61 [sic] with a thickness of 50 nm for forming the low resistivity semiconductor film 27 are formed continuously without exposing to atmosphere.

[0038]

Thereafter, the three-layered metal film 5 composed of the Mo layer 51 with a thickness of 10 nm, the Al layer 52 with a thickness of 350 nm, and a Mo layer with a thickness of 50 nm is deposited by sputtering.

[0039]

(2-2) Patterning of a multi-layered film

Then, after the resist is exposed and developed using a second mask pattern, the silicon nitride film, patterning is carried out at once on the a-Si: H layer, the n^+ a-Si: H layer, and the three-layered metal film 5 that are mentioned above. The signal lines 21 with the number of 800×3 , the drain electrode 22 extended from each signal line 21, and the source electrode 23 that is still connected to the drain electrode 22 are manufactured by the second patterning (left-hand side of Figure 5 is to be referred). In addition, not shown in the drawing, a signal line pad (including a lead line from the signal lines 21) is manufactured simultaneously in the periphery connection region of the array substrate 10.

[0040]

(2-2-a) First etching (etching on the three-layered metal film 5)

The three-layered metal film 5 is etched by mixed acid solution composed of nitric acid,

phosphoric acid, and acetic acid (Figure 3).

[0041]

The mixed acid solution formed by mixing 85 % of phosphoric acid solution, 70 % of nitric acid solution, and 90 % of acetic acid solution in a volume ratio of 3:15:5 is used. In addition, in order to patterning the three-layered metal film 5, an operation to spray such etchant on the substrate is carried out continuously in the two etching chambers for 60 seconds for each. That is, wet etching by shower system is carried out for 120 seconds in sum.

[0042]

(2-2-b) Second etching (etching on the three-layered non-metallic film)

Next, the silicon nitride film, the a-Si: H layer, and the n⁺ a-Si: H layer are patterned by plasma etching using mixed gas of SF₆, HCl, and He (Figure 4).

[0043]

Mixed gas introduced into an etching chamber is mixed with SF₆ of flow 75 SCCM, HCl of flow 425 SCCM, and He of flow 300 SCCM. That is, mixed volume ratio of introduced gas is SF₆:HCl:HE = 75:425:300, and HCl:SF₆ = about 0.18.

[0044]

In carrying out plasma etching, a pressure within the etching chamber is kept at 26.7 Pa, a high frequency input power is kept at 400 W, and a gap between electrodes is kept at 40 mm. Furthermore, using the End Point Monitor, over etching is carried out for 10 % of time till a just etching is carried out.

[0045]

(3) Third patterning

Using a third mask pattern, a through hall 31 that is exposes the upper surface of the scanning line pad portion 11b is manufactured (right-hand side of Figure 5 is to be referred). At this time, the first gate insulating film 15 on the scanning line pad portion 11b is removed by wet etching using Buffered Hydrogen Fluoride (BHF).

[0046]

(4) Fourth patterning

An amorphous ITO layer with a thickness of 40 nm is deposited by sputtering.

[0047]

First, a protective ITO film 41 that the outline almost corresponds to that of each of the signal lines 21 and the drain electrode 22, the pixel electrode 42, and an extended portion 42a thereof are manufactured by patterning using a fourth mask pattern (Figure 5). The extended portion 42a from the pixel electrode carries out continuity between the source electrode 23 and the pixel electrode 42 by coating the end of the source electrode 23 and the aspect of the

pixel electrode thereof.

[0048]

In this patterning, an ITO film 43 (right-hand side of Figure 5) of a pad portion that coats each scanning line pad 11b and an ITO film of a pad portion that coats each signal line pad are formed in the periphery connection region of the array substrate 10.

[0049]

Next, etching for forming the back channel portion 45 of the TFT is carried out, considering the ITO films 41, 42, 42a, and 43 as masks. That is, the three-layered metal film 5 (Mo/Al/Mo) and the n⁺ a-Si: H layer are removed in a groove shape so as to complete the TFT 7 by separating the drain electrode 22 and the source electrode 23.

[0050]

At this time, the three-layered metal film 5 (Mo/Al/Mo) is removed by wet etching using mixed acid composed of phosphoric acid, acetic acid, and nitric acid, as well as the above second patterning. On the other hand, the n⁺ a-Si: H layer 61 is removed by mixed gas composed of SF₆ and oxygen (O₂).

[0051]

After removing the resist, annealing by heat is carried out, and the ITO film is converted from an amorphous condition to a microcrystalline condition. A TFT characteristic is stabilized at the same time by this annealing.

[0052]

According to the method for manufacturing the embodiment described above, an array substrate for a display device can be manufactured by patterning for only 4 times. Especially, in carrying out patterning at once on the three-layered metal film 5 and the three-layered non-metallic film 6, the formation of a depression and an overhang in the end of the pattern that is obtained can be prevented enough. Therefore, the ITO film 42a that coats the pattern of the source electrode 23 is not disconnected at the place where the end is coated, and electrical connection between the source electrode 23 and the pixel electrode 42 is carried out definitely.

[0053]

In the above embodiment, it is structured that the metal aluminum (Al) layer is to be sandwiched with the upper and lower metal molybdenum (Mo) layers; however, other high melting point metal layer can be used also instead of the metal molybdenum (Mo) layer. At this time, a high melting point metal layer placed at the lower side of the metal aluminum layer may be acceptable so long as to be able to obtain a good ohmic contact to the semiconductor layer such as phosphorus dope amorphous silicon (n⁺ a-Si: H).

[0054]

In addition, it is almost the same for using an IZO (Indium Zinc Oxide) and the like instead of the ITO film as a transparent conductive film composing the pixel electrode and the like.

[0055]

Furthermore, in the above embodiment, it is explained that the active layer of the semiconductor and the ohmic contact layer are respectively the amorphous silicon layer and the phosphorus dope amorphous silicon layer; however, the active layer of the semiconductor may also be a polycrystalline silicon layer and the ohmic contact layer may also be an amorphous silicon layer containing other impurity and a polycrystalline silicon layer containing phosphorus and other impurity.

[0056]

On the other hand, in the above embodiment, it is explained the case that the end of the pattern that is obtained is coated by the conductive film; however, it is absolutely the same for the case to coat by an insulating protective film.

[0057]

The case of the array substrate for the liquid crystal display device is described as an example; however, it is carried out by the same method even for a method for manufacturing a thin film transistor used for other application. Furthermore, it is also possible to apply the method for manufacturing the present invention to the semiconductor device besides a thin film transistor.

[0058]

[Effect of the Invention]

In a method for manufacturing a thin film transistor including a step for carrying out patterning at once on a multilayer film using one mask pattern, the formation of a disconnection and generation of a defect due to thereof can be prevented sufficiently.

[Brief Description of the Drawings]

[Figure 1] A sectional perspective view typically showing a TFT formation on an array substrate and an adjacent structure thereof on the present embodiment.

[Figure 2] A plan view typically showing a structure of each pixel over an array substrate [sic] on the present embodiment.

[Figure 3] A longitudinal sectional view typically showing a condition after a first etching, that is, after etching a three-layered metal film (Mo/Al/Mo).

[Figure 4] A typical longitudinal sectional view showing a condition after a second etching, that is, after etching a three-layered non-metallic film (n^+ a-Si: H layer, a-Si: H layer, and silicon nitride film), corresponding to Figure 3.

[Figure 5] A typical longitudinal sectional view showing a condition when an array substrate

is completed, corresponding to Figure 3.

[Figure 6] A longitudinal sectional view of a thin film transistor over an array substrate for describing "disconnection" generated by conventional technique.

[Description of the Reference Symbols]

10 Array substrate

11 Scanning line

11a Gate electrode extended from the scanning line

11b Pad portion of the scanning lines periphery portion

12 Supporting capacitance line

21 Signal line

22 Drain electrode extended from the signal line

23 Source electrode

15 First gate insulating film

25 Second gate insulating film

26 Semiconductor film of TFT

27 Low resistivity semiconductor film

41 Protective ITO film that the outline is almost in consistency with that of the signal lines

42 Pixel electrode

42a ITO film that covers a pattern of the source electrode by extending from the pixel electrode

43 ITO film for pad

45 back channel portion of TFT

5 three-layered metal film (Mo/Al/Mo)

6 three-layered non-metallic film (n^+ a-Si: H layer, a-Si: H layer, and silicon nitride film)

7 TFT